



本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

紙添付の書類に記載されている事項は下記の出願書類に記載されて
事項と同一であることを証明する。

is to certify that the annexed is a true copy of the following application as filed
in this Office.

願年月日
of Application:

1991年 9月13日

願番号
Application Number:

平成 3年特許願第263188号

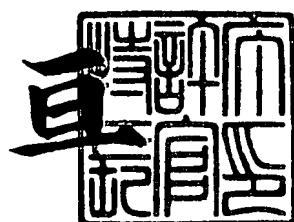
願人
Applicant(s):

カシオ計算機株式会社

1992年 4月 3日

特許庁長官
Commissioner,
Patent Office

深沢



出証平 03-121520

【書類名】 特許願

【整理番号】 91-1791-00

【提出日】 平成 3年 9月13日

【あて先】 特許庁長官 殿

【国際特許分類】 G09G 3/36
G09G 3/18

【発明の名称】 画像表示装置

【請求項の数】 9

【発明者】

【住所又は居所】 東京都東大和市桜が丘2丁目229番 カシオ計算機株式会社 東京事業所内

【氏名】 白井 実

【発明者】

【住所又は居所】 東京都八王子市石川町2951番地の5 カシオ計算機株式会社 八王子研究所内

【氏名】 山岸 浩二

【発明者】

【住所又は居所】 東京都東大和市桜が丘2丁目229番 カシオ計算機株式会社 東京事業所内

【氏名】 吉野 研

【発明者】

【住所又は居所】 東京都東大和市桜が丘2丁目229番 カシオ計算機株式会社 東京事業所内

【氏名】 森 秀樹

【特許出願人】

【識別番号】 000001443

【郵便番号】 163

【住所又は居所】 東京都新宿区西新宿2丁目6番1号

【氏名又は名称】 カシオ計算機株式会社

【代表者】 横尾 和雄

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【書類名】 明細書

【発明の名称】 画像表示装置

【特許請求の範囲】

【請求項 1】 映像信号の 1 フィールド中に N 回走査される画像表示装置において、

前画面の表示データと今画面の表示データを比較し、その比較結果に応じて N 回分の階調データを発生する階調データ発生手段を備え、

前記階調データ発生手段から発生された階調データに基づいて階調表示を行うことを特徴とする画像表示装置。

【請求項 2】 前画面の表示データと今画面の表示データを入力し、該入力データに応じた階調データを出力するためのテーブルを具備していることを特徴とする請求項 1 記載の画像表示装置。

【請求項 3】 前記テーブルは、出力される表示データのビット数が、入力される表示データのビット数よりも少ないことを特徴とする請求項 2 記載の画像表示装置。

【請求項 4】 前記テーブルは、1 回の表示データの入力に対し、N 回の表示データの出力を行うことを特徴とする請求項 2 記載の画像表示装置。

【請求項 5】 前記テーブルは、前回画面と今回画面に応じて読出されたとき階調信号に対し応答速度が速くなるような値の階調データにより構成されていることを特徴とする請求項 1、請求項 2、請求項 3 または請求項 4 記載の画像表示装置。

【請求項 6】 前フレームの表示データと今フレームの表示データを比較し、その比較結果に応じて複数の表示データを発生する表示データ発生手段と、

前記表示データ発生手段から発生された複数の表示データに基づいて液晶表示パネルを駆動する液晶駆動手段と、

を具備したことを特徴とする画像表示装置。

【請求項 7】 同一画面を N 回表示する画像表示装置において、

該画面と前画面とを比較し、その比較結果に応じて複数の表示データを発生する階調データ発生手段を備え、

前記階調データ発生手段から発生された複数の表示データに基づいて階調表示を行うことを特徴とする画像表示装置。

【請求項8】 映像信号をデジタル信号に変換するA/D変換手段と、

前記A/D変換手段によりA/D変換された表示データによりアクセスされ、その表示データに応じた階調データを出力するテーブルとを備え、

該テーブルは、出力される階調データのビット数が、入力される表示データのビット数よりも少ないことを特徴とする画像表示装置。

【請求項9】 映像信号をデジタル信号に変換するA/D変換手段と、

前記A/D変換手段によりA/D変換された表示データによりアクセスされ、その表示データに応じた階調データを出力するテーブルとを備え、

該テーブルは、1回の表示データのアクセスに対し、N回の階調データの出力をすること特徴とする画像表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

本発明は、液晶プロジェクタ、液晶テレビ等に用いられる比較的大画面の画像表示装置に関し、特に、STNなどの単純マトリクス液晶を用いた画像表示装置に関する。

【0002】

【従来の技術】

テレビ画面の表示では、高解像度、高階調性、高速応答、高コントラストなどの高性能で高品質の表示機能が要求される。表示方式としてはTN (Twisted Nematic) 形、STN (Supertwisted Nematic) 形などが用いられ、駆動方式としてはTFT (Thin Film Transistor) を用いたアクティブマトリクス駆動と単純マトリクス駆動が採用されている。

【0003】

【発明が解決しようとする課題】

ところで、液晶表示装置には上記単純マトリクス方式とTFT方式があり、画質も応答速度もTFTの方が優れているといわれている。すなわち、単純マトリ

クスは、

- i) 累積応答性の影響で応答時間が遅い、
- ii) 高デューティのためマージンが小さくなりコントラストが低い、
という欠点がある。

特に、液晶の応答性は遅く、STNを採用するとコントラストは向上するものの更に応答性が悪くなる。

また、このような従来の液晶表示装置にあっては、制御ビット数により画質が決定されるため、高画質の表示を得ようとすれば回路規模や配線数が増大してしまうという問題点があった。例えば、パルス幅変調により液晶に階調表示させる液晶駆動回路においてビット数を減らすことができれば配線数や回路規模を削減することができ、装置コスト低減が可能となるが、ビット数を落とさずに画質を向上させるのは困難であった。

そこで本発明は、単純マトリクスで高い応答速度と高画質を実現することが可能な画像表示装置を提供することを目的としている。

また、本発明の別の目的は、少ないビット数で高画質を実現することが可能な画像表示装置を提供することである。

【0004】

【課題を解決するための手段】

請求項1記載の発明は、上記目的達成のため、
映像信号の1フィールド中にN回走査される画像表示装置において、
前画面の表示データと今画面の表示データを比較し、その比較結果に応じてN
回分の階調データを発生する階調データ発生手段を備え、
前記階調データ発生手段から発生された階調データに基づいて階調表示を行う
ようにする。

前記画像表示装置は、例えば請求項2に記載されているように、前画面の表示
データと今画面の表示データを入力較し、該入力データに応じた階調データを出
力するためのテーブルを備えている。

また、前記テーブルは、例えば、請求項3に記載されているように、出力され
る表示データのビット数が、入力される表示データのビット数よりも少ないもの

であってもよく、また、例えば、請求項4に記載されているように、1回の表示データの入力に対し、N回の表示データの出力を行うものであってもよい。さらに、前記テーブルは、例えば請求項5に記載されているように、前回画面と今回画面に応じて読み出されたとき階調信号に対し応答速度が速くなるような値の階調データにより構成されているものであってもよい。

請求項6の発明は、

前フレームの表示データと今フレームの表示データを比較し、その比較結果に応じて複数の表示データを発生する表示データ発生手段と、

前記表示データ発生手段から発生された複数の表示データに基づいて液晶表示パネルを駆動する液晶駆動手段と、
を具備している。

請求項7の発明は、

同一画面をN回表示する画像表示装置において、

該画面と前画面とを比較し、その比較結果に応じて複数の表示データを発生する階調データ発生手段を備え、

前記階調データ発生手段から発生された複数の表示データに基づいて階調表示を行うようにする。

請求項8の発明は、

映像信号をデジタル信号に変換するA/D変換手段と、

前記A/D変換手段によりA/D変換された表示データによりアクセスされ、
その表示データに応じた階調データを出力するテーブルとを備え、

該テーブルは、出力される階調データのビット数が、入力される表示データのビット数よりも少ないようにする。

請求項9の発明は、

映像信号をデジタル信号に変換するA/D変換手段と、

前記A/D変換手段によりA/D変換された表示データによりアクセスされ、
その表示データに応じた階調データを出力するテーブルとを備え、

該テーブルは、1回の表示データのアクセスに対し、N回の階調データの出力を行うようにする。

【0005】

【作用】

本発明の手段の作用は次の通りである。

請求項1、請求項2、請求項3、請求項4及び請求項5の発明では、

まず、前画面の表示データと今画面の表示データを入力し、該入力データに応じた階調データを出力するためのテーブルが設けられている。この場合、テーブルは、出力される表示データのビット数が、入力される表示データのビット数よりも少なく、また、1回の表示データの入力に対し、N回の表示データの出力が可能な構成とされる。

次に、階調データ発生手段により映像信号の1フィールド中にN回走査されるとき前画面の表示データと今画面の表示データとが比較され、その比較結果に応じてテーブルからN回分の階調データが発生される。そして、発生された階調データに基づいて階調表示が行われる。

従って、階調データの変換が行われることとなって応答速度が大幅に向上する

特に、ビット数が小さいものであってもN回に分けて所望の階調が表現されるので伝送ビット数を削減しつつ、応答速度の向上を図ることができる。

請求項6の発明では、

表示データ発生手段により前フレームの表示データと今フレームの表示データとが比較され、その比較結果に応じて複数の表示データが発生され、発生された複数の表示データに基づいて液晶駆動手段が液晶表示パネルを駆動する。

従って、複数の表示データに分解することによって伝送ビット数を削減することができる。

請求項7の発明では、

同一画面をN回表示する際に、階調データ発生手段により、該画面と前画面とが比較され、その比較結果に応じて複数の表示データが発生され、発生された複数の表示データに基づいて階調表示が行われる。

従って、ビット数が小さいものであってもN回に分けて所望の階調が表現されるので伝送ビット数を削減しつつ、画質の向上を図ることができる。

請求項 8 の発明では、

表示データに応じた階調データを出力するテーブルが、出力される階調データのビット数が入力される表示データのビット数よりも少ないように構成される。

従って、A/D変換された表示データを画像表示する画像表示装置において、応答速度を格段に向上させることができる。

請求項 9 の発明では、

表示データに応じた階調データを出力するテーブルが、1回の表示データのアクセスに対し、N回の階調データの出力を行うように構成される。

従って、A/D変換された表示データを画像表示する画像表示装置において、伝送ビットを削減することができ、コスト低減が図られる。

【0006】

【実施例】

以下、図1～図14を参照して実施例を説明する。

図1～図14は画像表示装置の一実施例を示す図であり、本実施例は画像表示装置を1つの光源からの光をR(赤)成分、G(緑)成分、B(青)成分の3つの光に分解して、それぞれ対応する3つの液晶表示モジュールに照射させ、各液晶表示モジュールにR、G、Bの3色に分解されて表示された画像を反射および透過により合成して1つの投影レンズでスクリーンに拡大投影する液晶プロジェクタに適用した例である。

【0007】

図1は液晶プロジェクタ1の全体構成図である。図1において、液晶プロジェクタ1は、R、G、Bの3色に分解されて入力された映像信号をR、G、B用3枚の液晶パネルに表示させる画像表示装置2と、R、G、B用液晶パネルに表示された画像を光源からの光を基に反射及び透過により合成して1つ投影レンズでスクリーン3に拡大投影する光学系4を備えている。

【0008】

上記画像表示装置2は、各種タイミング信号を発生しこれらタイミング信号を各回路に供給するタイミング制御回路11と、映像信号源からの映像信号をサンプリングクロック Φ_s を基に所定ビット(例えば、5ビット)のデジタル信号

に変換するA/D変換器12と、タイミング制御回路11からのコントロール信号によりR, G, B表示信号毎に表示制御を行うR表示制御部13、G表示制御部14、B表示制御部15と、R表示制御部13、G表示制御部14、B表示制御部15の出力によりR, G, Bの液晶パネルを駆動するR液晶表示装置16、G液晶表示装置17、B液晶表示装置18を備えている。上記画像表示装置2についての詳細な説明は図8で後述する。

【0009】

図2は液晶表示装置16, 17, 18のブロック構成図であり、R, G, Bの3系統同一回路で構成されるため、R液晶表示装置16を代表して示す。図2に示すように、R液晶表示装置16は、上下分割された液晶パネル20、上側の液晶パネル20Aを駆動する走査側駆動回路21、下側の液晶パネル20Bを駆動する走査側駆動回路22、R表示制御部13の出力により階調表示駆動する信号側駆動回路23, 24を備えている。

【0010】

R液晶駆動装置16は、上限走査側駆動回路21, 22から液晶パネル20の上下走査線電極に走査信号を印加し、信号側駆動回路23, 24から液晶パネル20の信号線電極に映像信号を印加して、両信号線電極の交差する液晶画素の駆動を制御している。R表示制御部13から出力された階調信号データが1Hの間液晶に供給されるが、まず信号側駆動回路23, 24によってパルス幅(PWM)に変換される。16種類のパルス幅をもった信号のいずれか1つずつが、信号駆動回路23, 24内で作成され、これによって選択されている走査線電極中の各画素の濃淡を決定する。

以上の動作は、走査線電極の選択が切り替えられるたびに繰り返される。

【0011】

以下、本実施例の説明をするにあたり、説明の便宜上、先ず技術的特徴点を簡単に述べる。

①フレーム周波数を速くする。

画像表示装置では1画面全部を走査する期間を1フレームといい、映像信号の1フィールドで1画面を表示するからそのサイクル(フレーム周波数)は1/6

0 Sである。上記画像表示装置2は、液晶パネル20を1/60 Sの間に4回走査することによって1画面を4回表示し、240 Hzとしている。これを実現するため、本実施例では表示制御部13、14、15に4つのフレームメモリ（RAM-A、RAM-B、RAMC、RAM-D）を設け、一旦メモリに入れたデータを所定のタイミングで4回読出している。なお、映像信号の2フィールドのこともフレームと言い、本明細書では「フレーム」という語を液晶パネルの1走査の意味と映像信号の2フィールドの意味の両方に使っているので注意されたい。

【0012】

②上下分割パネルを用いる。

前記図2に示すように、上下分割液晶パネル20を駆動する液晶駆動装置16の走査側駆動回路を走査側駆動回路21と走査側駆動回路22とに分割し、同時に上側液晶パネル20Aの走査線電極と下側液晶パネル20Bの走査線電極を選択する。すなわち、液晶のデューティが大きい程マージンが高くなる条件下において、走査線電極の数を増やすとマージンが足りなくなる状況が生じていたが、このような操作をすることによってデューティを半減させることができ、1走査の選択時間は2倍になる。ところが、上記のように同時に表示させるためには、例えばX1のデータとX241のデータとが同時に得られなくてはならないので少なくとも何れか一方のデータはメモリから読出する必要がある。本実施例では、このメモリを前記RAM-A、RAM-B、RAM-C、RAM-Dを使用することにより実現する。

【0013】

③ROMテーブルを用いて階調信号の変換を行う。

図3に示すように液晶パネル20上のある画素が、あるフレームで階調信号が「2」であった場合、次のフレームでこれが「10」になったとしても液晶の応答速度が小さいので「2」から「10」にはゆっくりと追隨することになる。これを輝度としてとらえてみると図4の実線に示すように階調信号の「10」が4回続いても「2」の輝度が「10」の輝度になるのに応答遅れが生じる。

【0014】

そこで、本願は図3の破線に示すようにかかる場合には上記「10」を、「16」にデータ変換することによって図4の破線に示すように応答速度を大幅に高めるようにしている。また、同様に次のフレームで「3」になったときはこの「3」を「0」に変換することによって立下りの応答速度を向上させている。

【0015】

上記階調信号の変換を行うためにROMに前回のフレームと今回のフレームの値をテーブル化したROMテーブルを設け、ROMテーブルを参照して階調信号の変換を行いスピードアップを図るようにする。例えば、前回フレームが「0」、今回フレームが「0」のときはテーブルデータ「0」、前回フレームが「2」、今回フレームが「10」のときはテーブルデータ「15」とする。このように、映像信号の表示データ（階調信号）をそのまま液晶パネルに与えるのではなくROMテーブルを用いて変形して与えるようにするものである。

【0016】

また、今回フレームが「10」のときROMテーブルにより「15」が与えられた場合、その次のフレームが「10」のときは前回フレームが「10」、今回フレームが「10」ということであるからROMテーブルから例えば「10」が読出される。この場合、次のフレームで「10」が続く限り、ROMテーブルからは「10」が読出され、データは「10」に収束する。

【0017】

また、単に応答速度を上げるだけでよいものとすると、前回の値よりも大きければ最大値を、小さければ最小値を与えるようにすれば追随性は良くなるが反動（オーバーシュート、アンダーシュート）が生じる。そこで実際には予めシミュレーション等により最適値を求め、これをROMテーブルに格納しておく。また、温度によっても最適値は異なるので、温度に応じた複数のROMテーブルを用意するようにしてもよい。

【0018】

④階調信号を分解し4回に分けて階調を実現する。

これにより（以下に詳述する）駆動系の伝送ビット数を下げることができるようになるが、先ず伝送ビット数を下げるメリットについて述べる。例えば、A/

D変換器12で得られる階調信号が5bitである場合には00000～11111までの32階調である。この場合、図1に示す表示制御部13, 14, 15内部のシフトレジスタ（後述）は5bitで動作させなければならず、メモリのアクセスも1画素について5bitで行わなければならない。しかし、液晶駆動装置16, 17, 18については配線の数を削減するために3bitで動作させたいという要望がある。そこで以下に説明するように4回に分けて階調を実現することによって液晶駆動装置におけるビット数を例えば5bitから3bitに下げる。

【0019】

すなわち、上記①で述べたように1画素を4回表示して240Hzとしている。これは同じデータを4回表示するということである。例えば、従来であれば図5(a)(b)に示すように1画面が1/60でデータが「5」であったものを、図5(c)に示すように1画面を4回に分けて4分割した夫々に「5」を表示するようにしている。すなわち、5bitで00000～11111の32階調で表わす代わりに、本願は1画面を4回に分けて各々を3bitで表わす（図5(d)参照）。そして、例えば元の5bitのデータが「0」のときは図5(e)に示すように3bitのデータを4回に分けた各々を「0」「0」「0」「0」で表せばよく、また、元の5bitデータが「31」のときは図5(f)に示すように3bitのデータを4回に分けた各々を「7」「7」「7」「7」と表示すればよい。このように液晶は印加した電圧の実効値に依存して動作するから4回に分けても平均すれば同様の結果を得ることができる。つまり、3bitでは0～7までの8階調しか得られないが、これを4回に分けることによって8階調を4つの組合せで表現することができ、3bit×4で28階調が実現できる。

【0020】

以上のこととを図6に示す波形図を用いて具体的に説明する。図6において、同図中実線は60Hz時の階調信号波形を示し、破線は本願における240Hz時の信号波形を示している。

【0021】

図6(a)に示すように階調信号波形が「1」であれば本願も同様に「1」でよいが（図6(b)参照）、図6(c)に示すように階調信号波形が「20」で

ある場合にはこれを4回に分けて「5」「5」「5」「5」とすれば $5 \times 4 = 20$ で幅（すなわち、階調）としては5bitの場合の「20」と同じになる（図6 (d) 参照）。同様に、図6 (e) に示すように階調信号波形が「21」の場合にはこれを「6」「5」「5」「5」と4回に分ければ「21」となる（図6 (f) 参照）。また、階調信号波形が「31 (full)」のときは図6 (g) に示すように「7」「7」「7」「7」とすれば 7×4 で「28」となる。従って、従来例では32階調を表現するのに5bit必要であったが、本願では波形を分割することによって3bit×4で28階調を表現することができる。なお、5bitのときは0～31までの階調表現ができるが、3bitのときは0～28までしか表現できないので、データが28, 29, 30, 31のときは全てfull（図6 (g)）とするようにしている。

【0022】

⑤走査電極を2本ずつ駆動する。

図7に示すように走査線が480本あるとすると1フィールドには240本となる。CRTの場合は飛び越し走査を行って最初に奇数ライン1, 3, 5, 7…の表示をして次のフィールドに偶数ライン2, 4, 6…の表示をしているが、液晶の場合はデューティが高いと動作マージン（電圧駆動比）が下がってしまうので走査線の飛び越しは避けたい。そこで本来であれば1, 3, 5, 7と表示するフィールドのときに図7a.に示すようにライン1のときにライン2、ライン3のときにライン4、ライン5のときにライン6も同時に表示し、次のフィールドのときには組み合せを変えて同図b.に示すようにライン2のときにライン3、ライン4のときにはライン5としている。これは信号側とは無関係に液晶駆動側によって動作され、例えば前記図2に示すように本来走査されないライン2 (X2) のところをライン1 (X1) と一緒にオンし、次のフレームではライン3 (X3) とライン4 (X4) を一緒にオンするようにする。

【0023】

図8～図14は上記基本的な考え方に基づく画像表示装置の一実施例を示す図である。

先ず、構成を説明する。図8は画像表示装置2のブロック構成図であり、R (

赤), G(緑), B(青)の3系統同一回路で構成され、ここでは3系統あるうちの1つの系統(例えば、R)についての回路(すなわち、タイミング制御回路11、A/D変換器12、R表示制御部13及びR液晶表示装置16)が代表して示されている。

この図において、画像表示装置2は、各種タイミング信号を発生しこれを基にコントロール信号を生成するタイミング制御回路11、タイミング制御回路11からのコントロール信号により表示制御を行う表示制御回路51, 52、表示制御回路51の出力により階調表示駆動をする信号側駆動回路51, 52、所定のタイミング信号に基づいて液晶パネル20を駆動する走査側駆動回路21, 22を備えている。ここで、制御系である上記タイミング制御回路11、表示制御回路51は5bit動作であり、駆動系の信号側駆動回路23, 24及び走査側駆動回路21, 22は3bit動作である。

【0024】

タイミング制御回路11は、垂直同期信号 Φ_V をカウントするVカウンタ62、Vカウンタ62の出力を基にタイミングをとりながら各種垂直タイミング用クロックを生成するタイミング発生回路63(動作タイミングは図11参照)、電圧制御発振器(OSC)64、位相比較器65及びHカウンタ66からなり水平同期信号 Φ_H とOSC64出力を分周した信号の位相を比較しロックするPLL回路67、PLL回路67のHカウンタ66の出力を基にタイミングをとりながら各種水平タイミング用クロックを生成するタイミング発生回路68、タイミング発生回路63, 68の出力に基づいて各種コントロール信号を作成する制御回路69により構成されている。

【0025】

A/D変換器12の出力は液晶パネル20の上側を制御する表示制御回路51と下側を制御する表示制御回路52に夫々入力され、制御回路69で作成されたD/Dコントロール信号も上記表示制御回路51, 52に夫々供給される。上記表示制御回路51のハード的構成は上記表示制御回路52と同一であるが、各内部回路の動作タイミングは異なっている。

【0026】

上記表示制御回路51は、タイミング制御回路11からのD/Dコントロール信号をデコードして後述するRAM-A73, RAM-B74, SOM (Serial Out Memory) -A75, SOM-B76の書き動作を可能にするライトイネーブル信号WEA, WEB, 読出しパルスRS (図11参照) を出力するOPデコーダ (operation decoder) 71と、5bitのデジタル信号に変換されたビデオデータ (例えば、R (赤) のデータRD) を1走査線分 (1H分) 蓄えるシフトレジスタ (SIM (Serial In Memory) -A) 72と、シフトレジスタ (SIM -A) 72に蓄えられた1HのデータRDを図11に示すライトイネーブルWEAのタイミングで順次書込むフレームメモリ (RAM-A) 73と、シフトレジスタ (SIM-A) 72に蓄えられた1HのデータRDを図11に示すライトイネーブルWEBのタイミングで順次書込むフレームメモリ (RAM-B) 74と、RAM-A73に書き込まれたビデオデータを読み出しパルスRSのタイミングで同一行を一度に読み出して蓄えるパラレルシリアル変換動作を行うシフトレジスタ (SOM-A) 75と、RAM-B74に書き込まれたビデオデータを読み出しパルスRSのタイミングで同一行を一度に読み出して蓄えるパラレルシリアル変換動作を行うシフトレジスタ (SOM-B) 76と、図9に示すROMテーブル100を記憶するとともに、SOM-A75及びSOM-B76に蓄えられたデータをROMアドレスとして前回フレームのデータと今回フレームのデータを順次比較しROMテーブル100に基づくデータ変換値を信号側駆動回路55に出力するROM77とにより構成されている。

【0027】

同様に、上記表示制御回路52は、タイミング制御回路11からのD/Dコントロール信号をデコードして後述するRAM-C83, RAM-D84, SOM-C85, SOM-D86の書き動作を可能にするライトイネーブル信号WEC, WED, 読出しパルスRS (図11参照) を出力するOPデコーダ81と5bitのデジタル信号に変換されたビデオデータ (例えば、R (赤) のデータRD) を1走査線分 (1H分) 蓄えるシフトレジスタ (SIM-C) 82と、シフトレジスタ (SIM-B) 82に蓄えられた1HのデータRDを図11に示すライトイネーブルWECのタイミングで順次書込むフレームメモリ (RAM-C) 8

3と、シフトレジスタ (SIM-B) 82に蓄えられた1HのデータRDを図11に示すライトイネーブルWEのタイミングで順次書込むフレームメモリ (RAM-D) 84とRAM-C 83に書き込まれたビデオデータを読み出しパルスRSのタイミングで同一行を一度に読み出して蓄えるパラレルシリアル変換動作を行うシフトレジスタ (SOM-C) 85と、RAM-D 84に書き込まれたビデオデータを読み出しパルスRSのタイミングで同一行を一度に読み出して蓄えるパラレルシリアル変換動作を行うシフトレジスタ (SOM-A) 86と、前記ROMテーブル100を記憶するとともに、SOM-C 85及びSOM-D 86に蓄えられたデータをROMアドレスとして前回フレームのデータと今回フレームのデータを順次比較しROMテーブル100に基づくデータ変換値を信号側駆動回路56に出力するROM 87により構成されている。

【0028】

ここで、本実施例では液晶パネル20の画素数が1ラインに736ドットあるものとすると上記シフトレジスタ (SIM-A) 72, (SIM-B) 82は、736段のシフトレジスタとなる。このSIM-A 72, SIM-B 82に蓄えられたデータがフレームメモリのRAM-A 73, RAM-B 74, RAM-C 83, RAM-D 84に入力されることになる。この場合の動作は後述する(図10、図11参照)。

【0029】

表示制御回路51のROM 77の内容によりデータ処理されたデータは信号側駆動回路23に出力され、表示制御回路52のROM 87の内容によりデータ処理されたデータは信号側駆動回路24に出力される。上記信号側駆動回路23, 24は、上記表示制御回路51, 52から出力されたデータに基づいて3bitで階調表現を行う(前記表示制御回路51, 52内部では階調表現するbit数は5bit(32階調)である)。

【0030】

また、走査側駆動回路21は後述する図12に示すタイミングで液晶パネル20を駆動する。

【0031】

また、液晶パネル20は、図2に示すように画素数が736画素であり走査線電極数が×1～×240, ×241～×480のものがR, G, B用に3枚使用される。この場合の投影表示の画素数は、

$$(表示の画素数) = 480 \times 736 \times 3$$

となり、データ量としては

$$\text{データ量} = (\text{表示の画素数}) \times 5 \text{bit}$$

となる。また、デューティは、

$$\text{デューティー} = 1 / 480 \times 2 \text{ (上下分割しているため)}$$

$$\times 2 \text{ (走査電極を2ライン選択するため)}$$

$$= 1 / 120$$

となる。

【0032】

図9はROM77, 82に記憶されたROMテーブル100の構成を示す図である。

図9においてROMテーブル100は、前記図3及び図4で説明した③階調信号の変換の考え方と、前記図5及び図6で説明した④階調信号の分解の考え方の両方に従って作成されたテーブルであり以下のような特徴を有する。

【0033】

すなわち、前記③階調信号の変換を行う観点からは、図9に示すようにROMテーブル100の縦方向に前回フレームにおける5bitの階調信号を示す0～31を、また、横方向に今回フレームにおける5bitの階調信号を示す0～31をとり、前回フレーム0～31と今回フレーム0～31とでテーブル化された各テーブル値には3bitを4回に分けてデータ変換値0～7（3bitであるから7が最大値となる）を格納する。このデータ変換値は、前回フレームと今回フレームのフレーム間の動きを基に応答速度ができるだけ高くなるように設定した階調信号データであり、予めシミュレーション等により最適値が算出されて格納される。本実施例では、以下に述べる理由によりこのデータ変換値は3bitのデータとして格納される。例えば、前回フレームが「2」、今回フレームが「15」（何れも5bit情報）のときはROMテーブル100から3bitの最大値である「7」が

読出され、このROMテーブル100から読み出されたデータ変換値「7」を用いることによって応答速度を向上させることができる。

【0034】

一方、前記④階調信号の分解を行う観点からは、図9に示すように1画面を4回に分けることによって3bit表現されたその回の各々に前記データ変換値0～7を設けるようにする。従って、5bitでアクセスされたROMテーブル100からは3bit×4のデータが読み出されることになり、後段の駆動系を3bitで動作させることができることが可能になる。

【0035】

例えば、図9に示すように前回フレームが「2」、今回フレームが「15」のときはテーブル値は「7777」であるから1回目は3bitのデータ変換値「7」が、2回目は「7」が、3回目は「7」が、4回目は「7」が夫々読み出される。また、前回フレームが「15」で今回フレームも「15」のときは「4443」であるから1回目は3bitのデータ変換値「4」、2回目は「4」、3回目は「4」、4回目は「3」が夫々読み出される。

【0036】

このように、上記ROMテーブル100を用いることにより階調信号の変換と分解とを同時に実現することができ、階調信号の変換による応答速度の向上と階調信号の分解による駆動系の伝送ビット数の削減という相反する目的を同時に達成することができる。

【0037】

次に、本実施例の動作を説明する。

全体動作

先ず、タイミング制御回路11では、ビデオ信号から作成された水平同期信号 Φ_H と、OSC64及びHカウンタ66により分周した信号をPLL回路67により位相、周波数をロックさせる。分周回路を構成するHカウンタ66の出力はタイミング発生回路68に入力され、タイミング発生回路68はH(水平)用の各種タイミング用クロック等を作成する。また、垂直同期信号 Φ_V はVカウンタ62に入力され、Vカウンタ62でHカウンタ66のカウント出力を基にビデオ

信号からの Φ_v と同期をとりながらHの数をカウントし、タイミング発生回路63でV(垂直)内の各種タイミング用クロック等を作成する。

【0038】

一方、R, G, Bのビデオ信号はA/D変換器12により5bitのデジタル信号に変換されて表示制御回路51, 52のSIM-A72, SIM-B82に出力される。表示制御回路51, 52では、A/Dされたビデオ信号R(赤)のデータRDを1H分SIM-A72に蓄え、SIM-A72に蓄えられたデータはA・BフィールドのデータとしてライトイネーブルWEA(図11)のタイミングでRAM-A73に順次書き込まれる。同様に、C・DフィールドのデータはライトイネーブルWEB(図11)のタイミングでRAM-B74に順次書き込まれる。RAM-A73, RAM-B74に書き込まれたビデオデータは読み出しパルスRS(図11)により同一行が一度に各々SOM-A75, SOM-B76に読み出され、SOM-A75, SOM-B76のデータをROMのアドレスとして、ROM77により前回フレームのデータと今回フレームのデータを順次比較する。そして、同一画素に表示するデータを比較してROM77に記憶されたROMテーブル100の内容に従ってデータ変換処理されたデータを信号側駆動回路23に送り出す。

ここで、本画像表示装置2はフレーム周波数240Hz/上下分割であるから、1/2H期間内に1ライン分のデータを読み出し、信号側駆動回路23を通して液晶パネル54に表示する。

下画面も同様の手順で表示し、G・Bに対してRと同様に表示制御する。

【0039】

表示制御回路51, 52における動作

A/D変換されたビデオ信号Rのデータの1H分がSIM-A72, SIM-B82に蓄えられ、この1H分のデータがフレームメモリRAM-A73, RAM-B74, RAM-C83, RAM-D84に書き込まれるが、この場合の動作を図10及び図11を用いて説明する。

【0040】

図10はフィールド $f_1 \sim f_8$ のうちの f_5 を例にとった場合のRAM-A～R

AM-Dの書き込み動作を説明するための図であり、図11はフィールド $f_5 \sim f_8$ における各部の詳細な動作タイミングを示すタイミングチャートである。

【0041】

図11に示すように、先ず、フィールド f_5 において上半分のデータ（H1～H120）がライトイネーブルWEAによってRAM-A73に書き込まれ、フィールド f_5 の下半分のデータ（H121～H240）がライトイネーブルWECによってRAM-C83に書き込まれる。その後、フィールド f_6 になるとまた上半分のデータがライトイネーブルWEAによってRAM-A73に書き込まれ、下半分のデータがライトイネーブルWECによってRAM-C83に書き込まれる。そして、フィールド f_7 になると上半分のデータがライトイネーブルWEBによってRAM-B74に書き込まれ、下半分のデータがライトイネーブルWEDによってRAM-D84に書き込まれる。その後、フィールド f_8 になるとまた上半分のデータがライトイネーブルWEBによってRAM-B74に書き込まれ、下半分のデータがライトイネーブルWECによってRAM-C84に書き込まれる。従って、表示制御装置52は、図11に示すSICAによってフィールド f_5 H1のデータがSIM-A72に取込まれ、SICBによってフィールド f_5 H121のデータがSIM-B82に取込まれる。このように、SIC-A72, SIC-B82には1Hかかる個々にデータが取込まれるが、フレームメモリ（ここでは、RAM-A73, RAM-C83）にはラッチクロックで1ライン毎に書き込まれる。同様に、次のフレームでフレームメモリ（RAM-B74, RAM-D84）に1ライン毎にデータが書き込まれる。

【0042】

しかし、図10に示すようにフィールド f_2 のタイミングでは f_2 のデータをフレームメモリにライトし（ f_2W ）、 f_3 のタイミングでは f_3 のデータをフレームメモリにライトする（ f_3W ）。以下、同様に f_8 のタイミングでは f_8 のデータをライトする（ f_8W ）。

【0043】

この場合、フィールド f_5 のタイミングに着目して説明すると、 f_5 のタイミングになって f_2 のデータのリード（ f_2R ）を4回行う。 f_2R の1回についての

フレームメモリとの関係は図10の拡大部に示され、この図に示すようにフィールド f_5 の f_2R の1回では、RAM-A73から f_2 上側データ (H1R H2R H3R~H120R) が、RAM-B74から f_4 上側データ (H1R H2R H3R~H120R) が、RAM-C83から f_2 下側データ (H240R H239R~H121R) が、RAM-D84から f_4 下側データ (H240R H239R~H121R) がそれぞれ読み出される (ここで、Hは各水平数を表す)。また、 f_2R の他の回及び他のフィールドにあっても同様にしてフレームメモリから前回画面用上半分、今回画面用上半分、前回画面用上半分、今回画面用下半分のデータが読み出される。ここで、RAM-C83, RAM-D84から下側データを読み出す際に、H240からH121に向けて逆方向で読み出す理由については後述する。

【0044】

前述したように、シフトレジスタ (SIM-A) 72には1H分736ドットのデータが入力され、SIM-A72に蓄えられた736のデータでRAM-A73, RAM-B74がアクセスされる。RAM-A73, RAM-B74から 736×5 bitのデータが読み出され、これらのデータがSOM-A85, SOM-B86に出力される。SOM-A85, SOM-B86はRAM-A73, RAM-B74から読み出す 736×5 bitデータを、読み出しパルスRS (図11)により同一行が一度に並ぶパラレルシリアル変換のようにして読み出し、読み出した 736×5 bitのデータでROM77をアクセスする。ここで、5bitが736回アクセスされ、これは1/2Hの間に行われる。すなわち、前記①フレーム周波数を速くするために1画面を4回表示し240Hzとしているので、本来であれば1/4Hでアクセスしなければならないが、本実施例では上側の表示制御回路51と下側の表示制御回路52で分担 (2分割) しているから1/2Hで736回アクセスすることになる。また、SOM-B86についても全く同様である。

【0045】

ここで、RAM-A73の内容とRAM-B74の内容とは1フレームずれているので、例えば前述の場合ではフィールド f_5 とフィールド f_7 の内容を2入力

としてROM77をアクセスする。5bitデータでアクセスされたROM77からはデータ変換された3bitのデータが読出されて信号側駆動回路23に出力されているので、液晶パネル54の駆動系は全て3bitで動作させることができる（図12参照）。従って、図10(a)に示すように f_2 のデータをフレームメモリに入れて、この f_2 のデータを比較するためには次のフレームの同じ位置のデータが必要であるから f_4 のデータをフレームメモリに入れてこれら f_2 と f_4 のデータを f_5 のときに比較することになる。このために表示はフレーム遅れになる。以上を実現するために本実施例の画像表示装置2は、フレームメモリを4ブロック、すなわちRAM-A73, RAM-B74, RAM-C83, RAM-D84を有するように構成している。

【0046】

前記図12で説明したように、液晶パネル20を駆動する液晶駆動系を全て3bitで動作させることができるので回路規模を大幅に減少させることができる。この場合、R, G, B3系統あるそれぞれを3bit動作させることができ、しかも、3bitで動作させながら5bit分の情報量を得ることができる。

【0047】

液晶駆動系における動作

図13は走査側駆動回路21, 22の駆動波形を示す波形図である。本実施例では前記⑤走査電極を2本ずつ駆動する（図7参照）ために、図13に示すように1フィールド(f_1)ではライン2(X2)とライン3(X3)、ライン4(X4)とライン5(X5)、また、次の2フィールド(f_2)、ライン3(X3)とライン4(X4)というように組合せがずれるようにしている。これにより、液晶の駆動マージンを上げるようにしている。

【0048】

また、この実施例では、液晶パネル20を交流駆動するために、走査線電極の1選択期間毎に駆動波形を反転させる手法をとっている。

また、本実施例では、上下分割された液晶パネル20Aと下側液晶パネル20Bを両方とも準方向に走査するのではなく、同図bに示すように、下側液晶パネル20Bは逆方向に

走査するようにしている。このように駆動することによって上側液晶パネル20Aと下側液晶パネル20Bのつながり目の線を目立たないようにすることができる。このために、表示制御回路52のRAM-C83, RAM-D84からデータを読み出す際に、図10に示すようにH240からH121へ向けて逆向きに読み出しているのである。

【0049】

以上説明したように、本実施例の画像表示装置2の表示制御回路51は、5bitのビデオデータを1走査線分（1H分）蓄えるSIM-A72と、SIM-A72に蓄えられた1HのデータWEAのタイミングで順次書込むRAM-A73と、シフトレジスタ（SIM-A）72に蓄えられた1HのデータWEBのタイミングで順次書込むRAM-B74と、RAM-A73に書き込まれたデータを読み出しパルスRSのタイミングで同一行を一度に読み出して蓄えるSOM-A75と、RAM-B74に書き込まれたデータを読み出しパルスRSのタイミングで同一行を一度に読み出して蓄えるSOM-B76と、ROMテーブル100を記憶するとともに、SOM-A75及びSOM-B76に蓄えられたデータをROMアドレスとして前回フレームのデータと今回フレームのデータを順次比較しROMテーブル100に基づくデータ変換値を信号側駆動回路55に出力するROM77とを設け、階調信号を分解し4回に分けて階調するとともに、その4回に分けられた階調信号をROMテーブル100を用いて前回フレームと今回フレーム間の動き比較により階調信号の変換を行っているので、1つのROMテーブル100によって階調信号の変換による応答速度の向上と階調信号の分解による駆動系の伝送ビット数の削減という相反する目的を同時に達成することができる。すなわち、本実施例では駆動系が3bitであっても制御系の32階調（5bit）に近い28階調が実現でき、駆動系を全て3bitで動作させることができるので回路規模を大幅に減少させることができ、3bitで動作させながら5bit分の画質を実現することができる。

【0050】

なお、本実施例では画像表示装置を例えばSTNを用いた液晶プロジェクタに適用した例であるが、勿論これには限定されず、テーブルを使用するものであれ

ば全ての装置に適用可能であることは言うまでもない。

【0051】

また、本実施例では階調信号を4回に分けているが、要は階調信号を分解するものであればどのようなものでもよいことは言うまでもない。

【0052】

さらに、画像表示装置の制御ビット数やROMテーブルのビット数は前述した実施例に限られるものではなく任意のものが使用可能である。

【0053】

また、上記画像表示装置や液晶パネル等を構成する回路や画素数、種類などは前述した実施例に限られないことは言うまでもない。

【0054】

【発明の効果】

請求項1、請求項2、請求項3、請求項4、及び請求項5の発明によれば、前画面の表示データと今画面の表示データを比較し、その比較結果に応じてN回分の階調データを発生し、発生された階調データに基づいて階調表示を行うようしているので、液晶の応答性を格段に高めることができ、STNにした場合であってもコントラストを低下させることなく応答性の向上を図ることができる。従って、単純マトリクスでありながら高い応答速度と高画質を実現することができる。

また、ビット数が小さいものであってもN回に分けて所望の階調が表現されるので伝送ビット数を削減しつつ、応答速度の向上を図ることができる。

【0055】

請求項6の発明によれば、

前フレームの表示データと今フレームの表示データとが比較され、その比較結果に応じて複数の表示データを発生し、発生された複数の表示データに基づいて階調表示を行うようしているので、複数の表示データに分解することによって伝送ビット数を削減することができる。

【0056】

請求項7の発明によれば、



同一画面をN回表示する際に、該画面と前画面とを比較し、その比較結果に応じて複数の表示データを発生し、発生された階調データに基づいて液晶駆動手段が液晶表示パネルを駆動するようにしているので、ビット数が小さいものであってもN回に分けて所望の階調が表現されることにより伝送ビット数を削減しつつ、画質の向上を図ることができる。

【0057】

請求項8の発明によれば、

表示データに応じた階調データを出力するテーブルが、出力される階調データのビット数が入力される表示データのビット数よりも少ないように構成しているので、A/D変換された表示データを画像表示する画像表示装置において、応答速度を格段に向上させることができる。

【0058】

請求項9の発明によれば、

表示データに応じた階調データを出力するテーブルを、1回の表示データのアクセスに対し、N回の階調データの出力を行うように構成しているので、A/D変換された表示データを画像表示する画像表示装置において、伝送ビットを削減することができ、装置全体のコスト低減を図ることができる。

【図面の簡単な説明】

【図1】

液晶プロジェクタの全体構成図である。

【図2】

画像表示装置の液晶表示装置のブロック構成図である。

【図3】

画像表示装置の階調信号の変換を説明するための波形図である。

【図4】

画像表示装置の階調信号の応答速度を説明するための波形図である。

【図5】

画像表示装置の階調信号の分解を説明するための図である。

【図6】

画像表示装置の階調信号の分解を説明するための波形図である。

【図 7】

画像表示装置の走査電極を 2 本づつ駆動することを説明するための図である。

【図 8】

画像表示装置のブロック構成図である。

【図 9】

画像表示装置の ROM テーブルの構造を示す図である。

【図 10】

画像表示装置の動作を説明するための波形図である。

【図 11】

画像表示装置の動作を説明するための波形図である。

【図 12】

画像表示装置の駆動系の伝送ビット数が削減されることを示す図である。

【図 13】

画像表示装置の液晶駆動回路の動作を説明するための波形図である。

【図 14】

画像表示装置の走査電極の駆動方法を説明するための図である。

【符号の説明】

- 1 液晶プロジェクタ
- 2 画像表示装置
 - 1 1 タイミング制御回路
 - 1 2 A/D 変換器
 - 1 3, 1 4, 1 5 表示制御部
 - 1 6, 1 7, 1 8 液晶表示装置
 - 2 0 液晶パネル
 - 2 0 A 上側の液晶パネル
 - 2 0 B 下側の液晶パネル
 - 2 1, 2 2 走査側駆動回路
 - 2 3, 2 4 信号側駆動回路

51, 52 表示制御回路

71 OPデコーダ

72, 82 シフトレジスタ (SIM-A, SIM-B)

73, 74, 83, 84 フレームメモリ (RAM-A, RAM-B, RAM-C, RAM-D)

75, 76, 85, 86 シフトレジスタ (SOM-A, SOM-B, SOM-C, SOM-D)

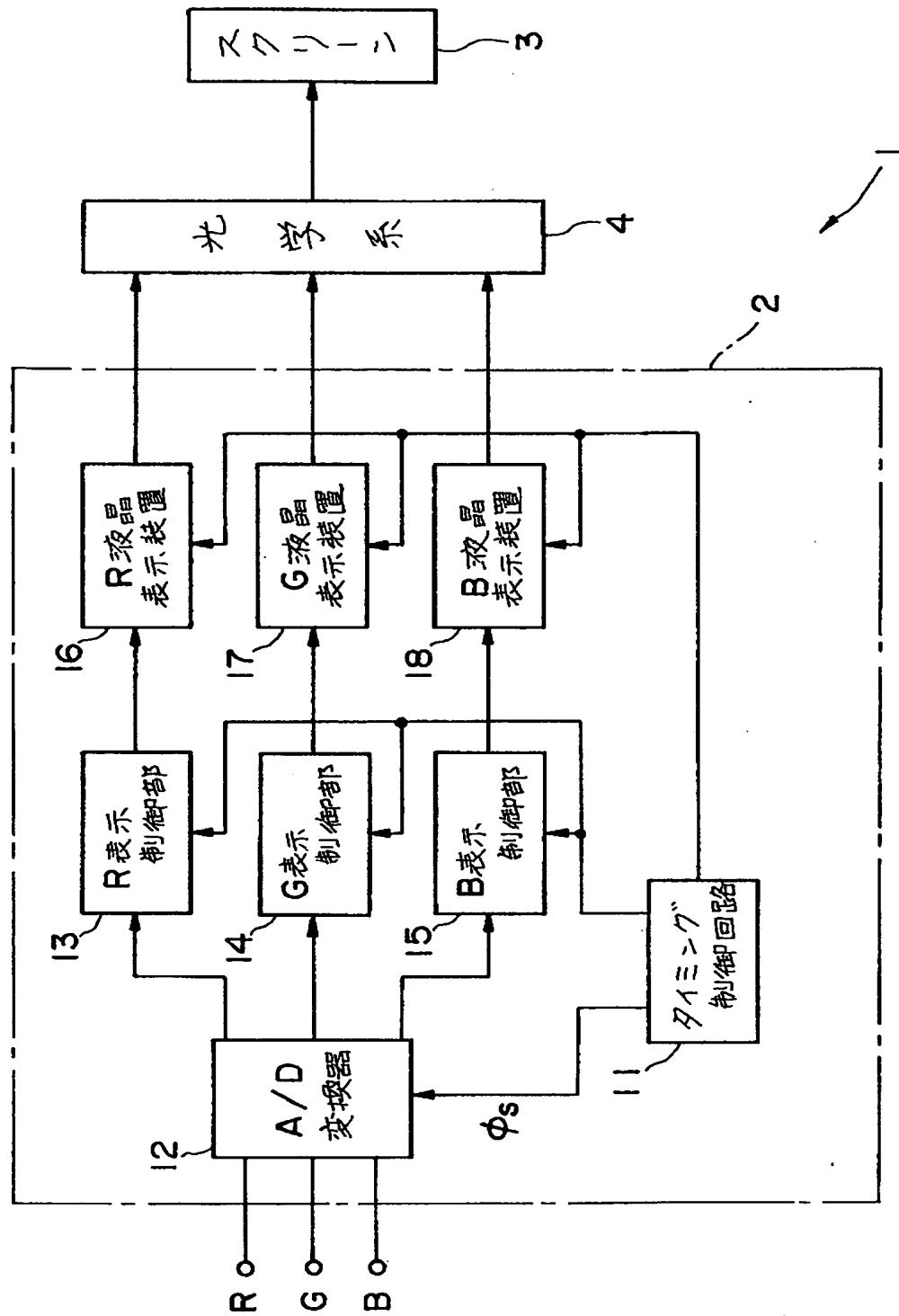
77, 78 ROM

100 ROMテーブル

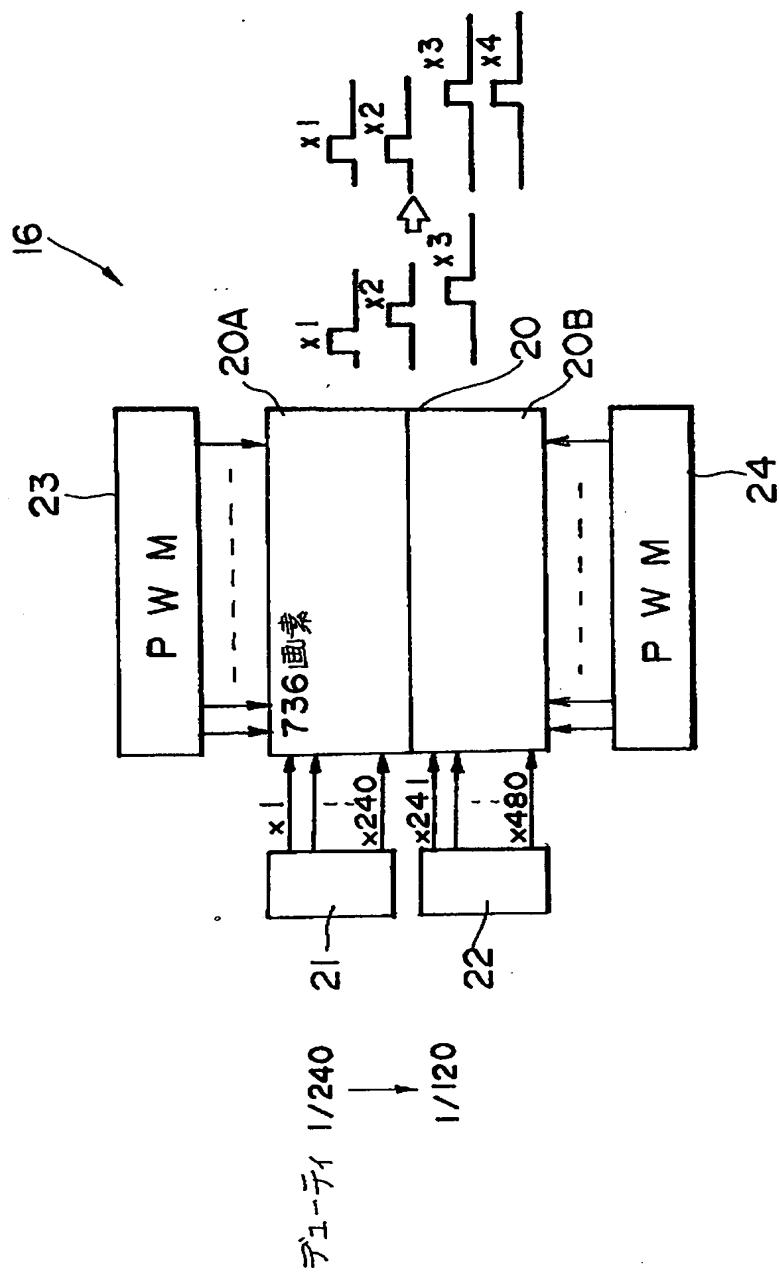
【書類名】

図面

【図1】

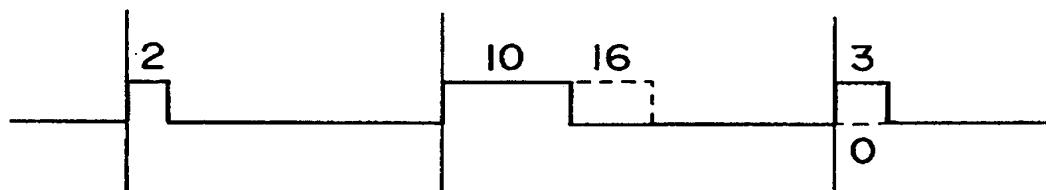


【図2】



0 3 - 2 6 3 1 8 8

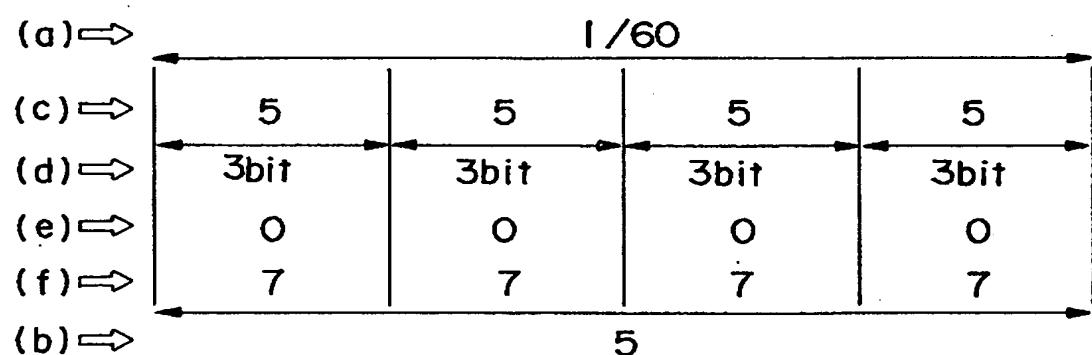
【図3】



【図4】

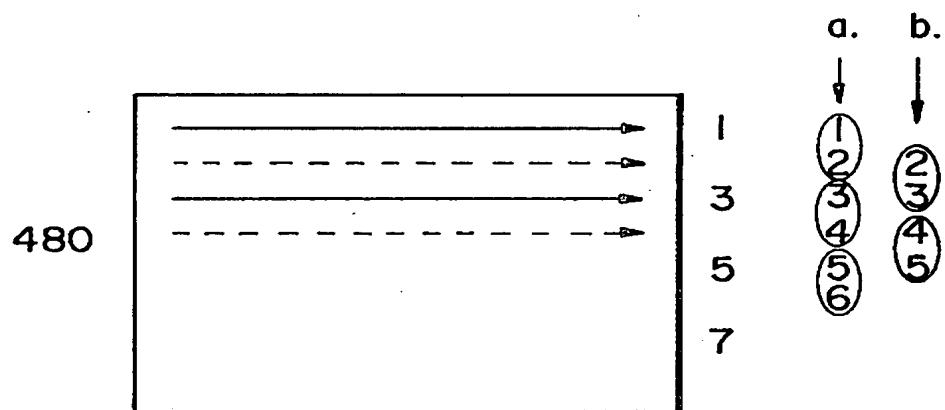


【図5】

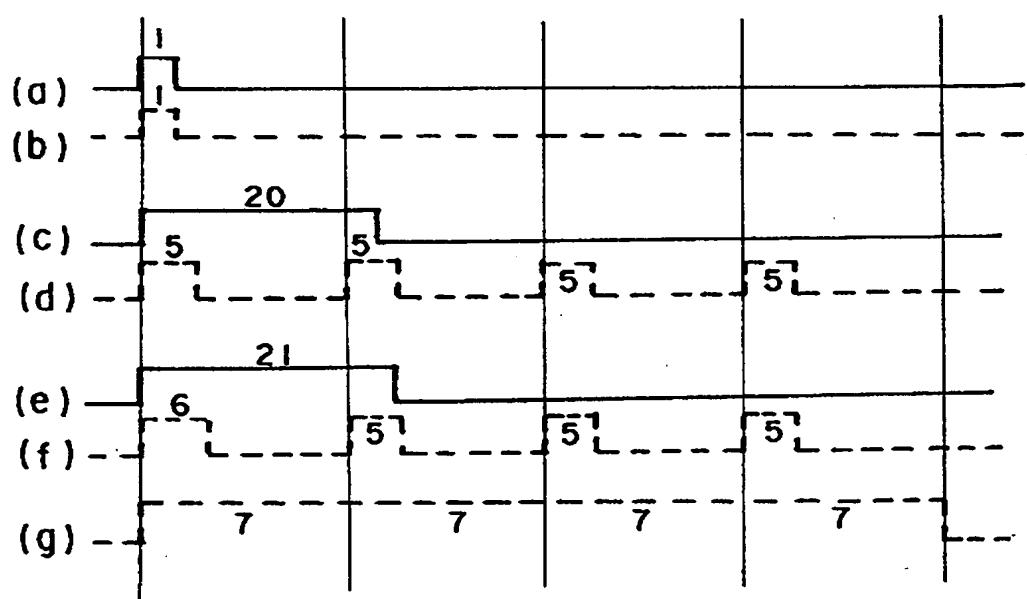


0 3 - 2 6 3 1 8 8

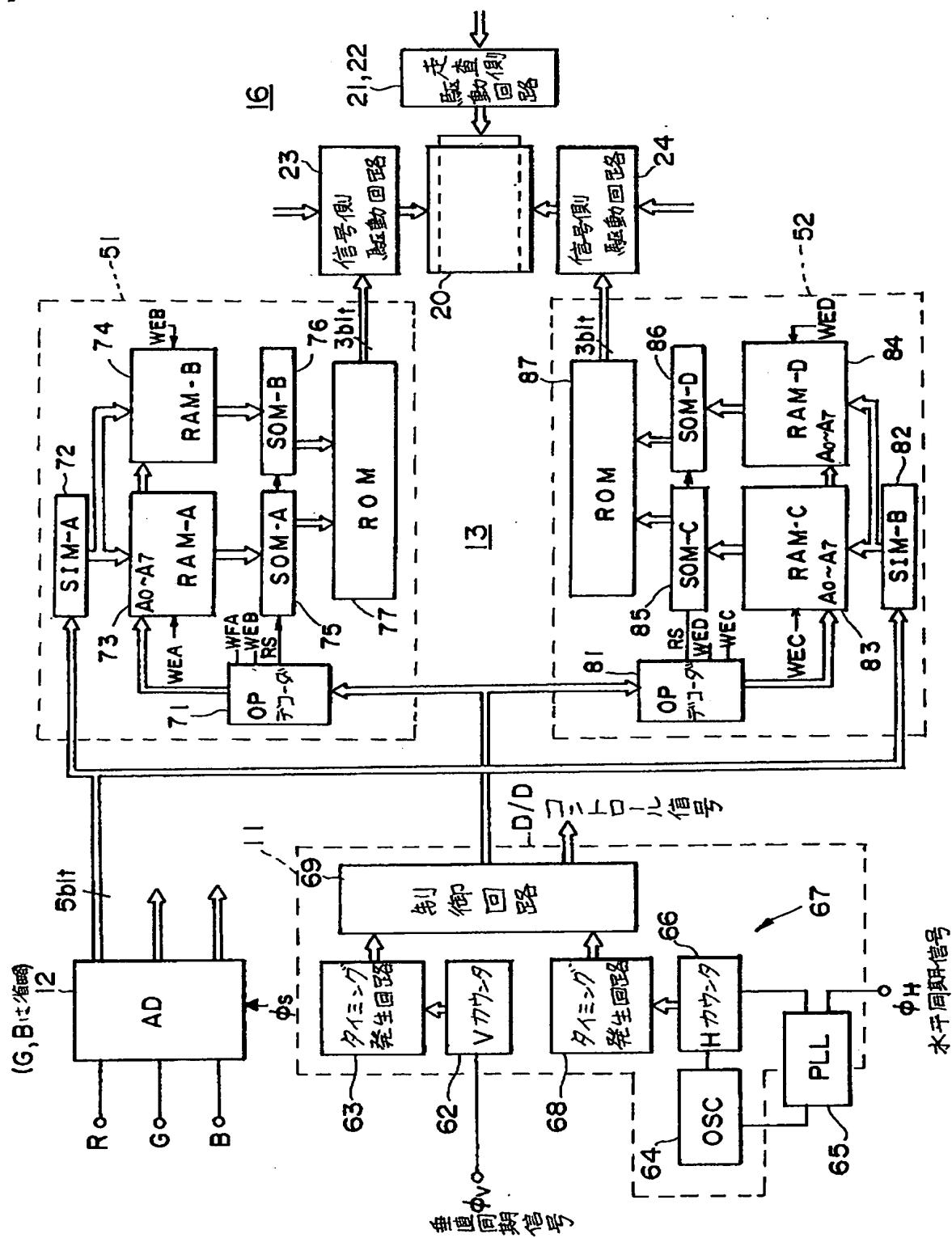
【図 7】



【図 6】



【図 8】



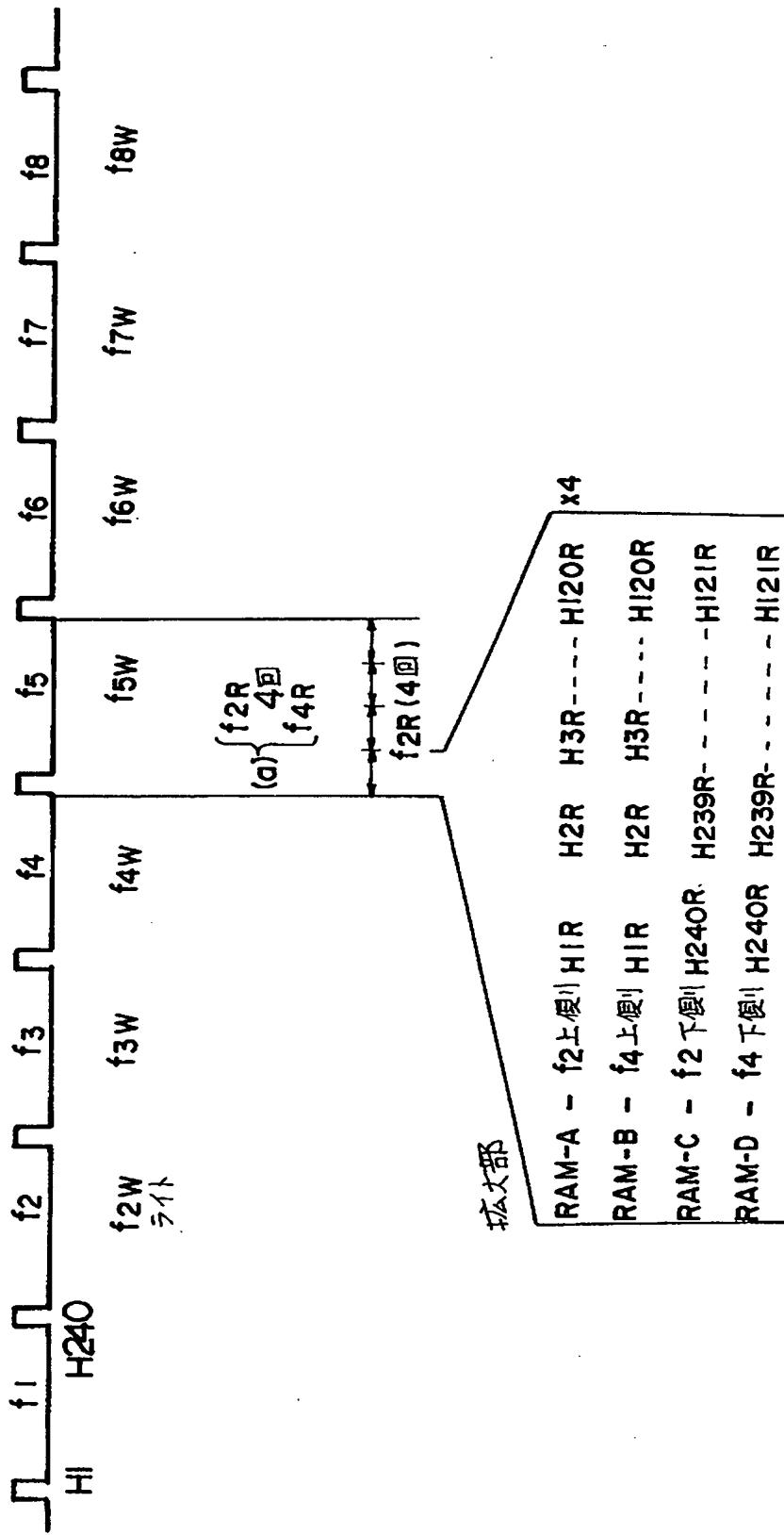
03-263188

【図9】

ROMアーベル100

前回	今回	0	1	2	3	---	---	15	---	---	31
0	00000	20000	3010	4110		7777		7777		7777	
1	00000	10000	2010	3110		7777		7777		7777	
2	00000	00000	1010	2110		7777		7777		7777	
3	00000	00000	0010	1110		7777		7777		7777	
15	00000	00000	00000	00000		4443		7777		7777	
31	0003	00000	00000	00000		0000		0000		7777	

【図10】



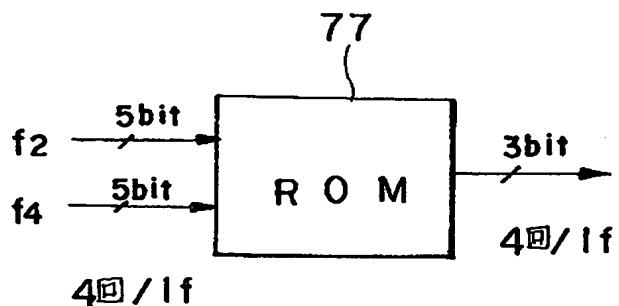
0 3 - 2 6 3 1 8 8

【図 1 1】

0 3 - 2 6 3 1 8 8

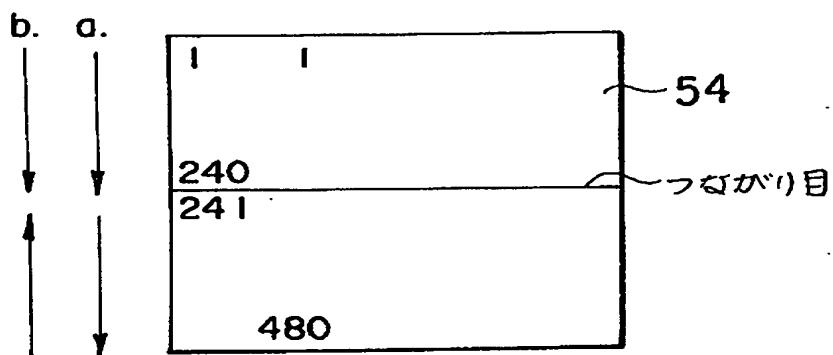
Timing diagram for the SIM9212 chip, showing the relationship between various control signals and memory access. The diagram spans from f5 to f8. Key signals include: φV, φH, φA, φB, WEA, WEC, WEB, WED, RS, and SOC. RAMA:write, RAMC:write, RAMB:write, and RAMD:write are also shown. Labels indicate memory access cycles for SIM9212, SIM923, and SIM920.

【図12】



fはフィールドを示し, fの内容の一例は
図10拡大部に示される。

【図14】



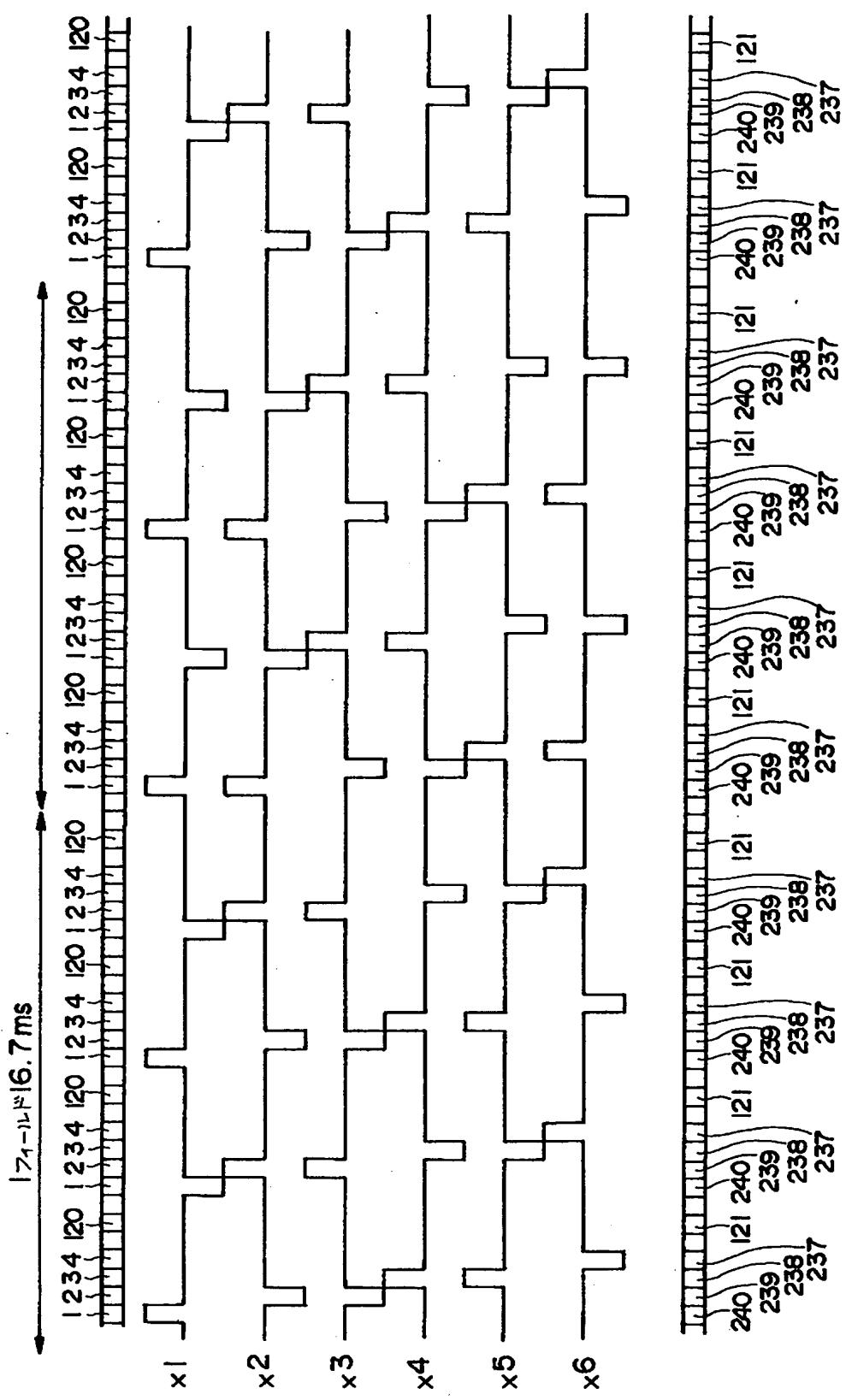
0 3 - 2 6 3 1 8 8

【図 1 3】

1 1

0 3 - 1 2 1 5 2 0

0 3 - 2 6 3 1 8 8



1 2

0 3 - 1 2 1 5 2 0

【書類名】 要約書

【要約】

【目的】 単純マトリクスで高い応答速度と高画質を実現し、また、少ないビット数で高画質を実現する。

【構成】 画像表示装置 2 の表示制御回路 5 1 は液晶パネル 2 0 の上側液晶パネル 2 1 A の表示データを制御するものであり、表示制御回路 5 2 は下側液晶パネル 2 1 B の表示データを制御するものであって、RAM-A 7 3 (RAM-C 8 3) には前回フレームの表示データ、RAM-B 7 4 (RAM-D 8 4) には今回フレームの表示データが書き込まれる。RAM-A 7 3 と RAM-C 8 3 (RAM-C 8 3 と RAM-D 8 4) のデータは 1 フィールドに 4 回読み出されて ROM 7 7 (ROM 8 7) で比較され、ROM 7 7 (ROM 8 7) は応答速度を速くするように階調信号を 4 回に分けて出力する。

【選択図】 図 8

出願人履歴情報

識別番号 [000001443]

1. 変更年月日 1990年 8月10日

[変更理由] 新規登録

住 所 東京都新宿区西新宿2丁目6番1号

氏 名 カシオ計算機株式会社